

Patent Abstracts of Japan

PUBLICATION NUMBER : 2000181401
PUBLICATION DATE : 30-06-00

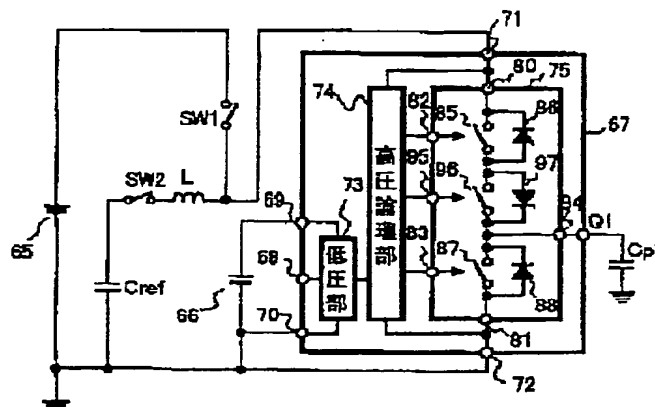
APPLICATION DATE : 06-10-99
APPLICATION NUMBER : 11285160

APPLICANT : HITACHI LTD;

INVENTOR : OSAWA MICHITAKA;

INT.CL. : G09G 3/28 G09G 3/20

TITLE : DRIVE CIRCUIT OF CAPACITIVE LOAD
AND DISPLAY DEVICE USING THE
SAME



ABSTRACT : PROBLEM TO BE SOLVED: To reduce loss with respect to the charging and discharging of capacitive load by providing a flow passage flowing to a high-voltage power source terminal via a parallel diode of a pull-up switch of a high-voltage output stage from a panel capacitor with a reverse-current limiting means.

SOLUTION: The flow passage flowing to the high-voltage power source terminal 71 via the parallel diode 97 of the pull-up switch 85 of the high-voltage output stage 75 from the panel capacitor is provided with the reverse-current limiting means (reverse-current limiting switch 96). Namely, a switching means 96 which is the reverse-current limiting switch, the parallel diode 97 of the reverse-current limiting switch 96 and a terminal 95 for connecting the reverse-current limiting switch 96 are added to the high-voltage output stage 75. In such a case, the reverse-current limiting switch 96 is connected between the pull-up switch 85 and a pull-down switch 88 in series to these switching means 85 and 86. More specifically, the one end of the pull-up switch 85 is connected to the terminal 80 of the high-voltage output means 75 and the other end of the pull-up switch 85 is connected to the one end of the reverse-current limiting switch 96.

COPYRIGHT: (C)2000,JPO

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-181401

(P2000-181401A)

(43) 公開日 平成12年6月30日 (2000.6.30)

(51) Int.Cl.⁷

G 0 9 G 3/28
3/20

識別記号

6 2 1

F I

G 0 9 G 3/28
3/20

テーマコード(参考)

E
6 2 1 G

審査請求 未請求 請求項の数18 O L (全 18 頁)

(21) 出願番号 特願平11-285160

(22) 出願日 平成11年10月6日 (1999.10.6)

(31) 優先権主張番号 特願平10-283793

(32) 優先日 平成10年10月6日 (1998.10.6)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 布村 邦弘

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者 秋山 登

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

(54) 【発明の名称】 容量性負荷の駆動回路及びそれを用いた表示装置

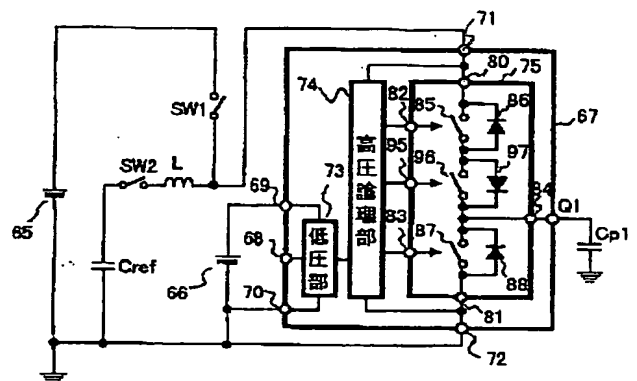
(57) 【要約】

【課題】 容量性負荷を駆動する回路の電力損失を低減する。

【解決手段】 高圧電源端子71と高圧出力端子Q1との間に、プルアップスイッチ85の並列ダイオード86と逆方向の並列ダイオード97を持つ逆流制限スイッチ96を設ける。

【効果】 連続ハイの絵柄で不必要な刻みが出来ず、電力回収を効果的に行うことができる。

図 1



【特許請求の範囲】

【請求項1】コンデンサ及びコイルを備える電力回収回路と第1の電源端子が接続され、該第1の電源端子と出力端子の間に、該第1の電源端子にカソードが接続された第1の並列ダイオードを持つ第1のスイッチ手段が接続され、該出力端子に容量性負荷が接続される駆動回路において、

該第1のスイッチ手段と該第1の電源端子間、或いは、該第1のスイッチ手段と該出力端子間に、該第1の並列ダイオードと逆方向の第2の並列ダイオードを持つ第2のスイッチ手段を接続したことを特徴とする駆動回路。

【請求項2】コンデンサ及びコイルを備える電力回収回路と第1の電源端子が接続され、該第1の電源端子と出力端子の間に、該第1の電源端子にカソードが接続された第1の並列ダイオードを持つ第1のスイッチ手段が接続され、該出力端子に容量性負荷が接続される駆動回路において、

該第1のスイッチ手段につながる該第1の電源端子と独立して、該第1のスイッチ手段を制御する高圧論理手段につながる第2の電源端子を設けたことを特徴とする駆動回路。

【請求項3】コンデンサ及びコイルを備える電力回収回路と第1の電源端子が接続され、該第1の電源端子と出力端子の間に、該第1の電源端子にカソードが接続された第1の並列ダイオードを持つ第1のスイッチ手段が接続され、該出力端子に容量性負荷が接続される駆動回路において、

該第1のスイッチ手段につながる該第1の電源端子と独立して、該出力端子にアノードが接続されたダイオードのカソードが接続された第3の電源端子を設けたことを特徴とする駆動回路。

【請求項4】該出力端子にアノードが接続された該ダイオードのカソードを該第2の電源端子に接続したことを特徴とする請求項2記載の駆動回路。

【請求項5】該第1のスイッチ手段を、該第1の電源端子に印加される最大電圧より大きいソース・ドレイン間耐圧を持ち、かつ、該第1の電源端子に印加される最大電圧より大きいゲート・ソース間耐圧を持つnMOSFETとしたことを特徴とする請求項2記載の駆動回路。

【請求項6】コンデンサ及びコイルを備える電力回収回路と、高圧電源と、表示部の容量性負荷を駆動する集積回路と、を備え、該集積回路は、該電力回収回路と第1の電源端子が接続され、該第1の電源端子と出力端子の間に、該第1の電源端子にカソードが接続された第1の並列ダイオードを持つ第1のスイッチ手段を備え、該出力端子に表示部の容量性負荷が接続され、該第1のスイッチ手段と該第1の電源端子間、或いは、該第1のスイッチ手段と該出力端子間に、該第1の並列ダイオードと逆方向の第2の並列ダイオードを持つ第2のスイッチ手段を接続されたことを特徴とする表示装置。

【請求項7】コンデンサ及びコイルを備える電力回収回路と、高圧電源と、表示部の容量性負荷を駆動する集積回路を備え、

該集積回路は該回収回路と第1の電源端子が接続され、該第1の電源端子と出力端子の間に、該第1の電源端子にカソードが接続された第1の並列ダイオードを持つ第1のスイッチ手段を備え、該出力端子に表示部の容量性負荷が接続され、該第1のスイッチ手段につながる該第1の電源端子と独立して、該第1のスイッチ手段を制御する高圧論理手段につながる第2の電源端子を設けた駆動回路を備え、該第1の電源端子は該回収回路に接続され、該第2の電源端子は該高圧電源に接続されたことを特徴とする表示装置。

【請求項8】コンデンサ及びコイルを備える電力回収回路と、高圧電源と、表示部の容量性負荷を駆動する駆動回路を備え、

該駆動回路は該回収回路と第1の電源端子が接続され、該第1の電源端子と出力端子の間に、該第1の電源端子にカソードが接続された第1の並列ダイオードを持つ第1のスイッチ手段を備え、該出力端子に表示部の容量性負荷が接続され、該第1のスイッチ手段につながる該第1の電源端子と独立して、該出力端子にアノードが接続されたダイオードのカソードが接続された第3の電源端子を設けた該駆動回路ICを備え、該第1の電源端子は該回収回路に接続され、該第3の電源端子は該高圧電源に接続されたことを特徴とする表示装置。

【請求項9】該出力端子にアノードが接続された該ダイオードのカソードを該第2の電源端子に接続した該駆動回路を備え、該第1の電源端子は該回収回路に接続され、該第2の電源端子は該高圧電源に接続されたことを特徴とする請求項7記載の表示装置。

【請求項10】該第1のスイッチ手段を該第1の電源端子に印加される最大電圧より大きいソース・ドレイン間耐圧を持ち、かつ、該第1の電源端子に印加される最大電圧より大きいゲート・ソース間耐圧を持つnMOSFETとした該駆動回路を備え、該第1の電源端子は該回収回路に接続され、該第2の電源端子は該高圧電源に接続されたことを特徴とする請求項7記載の表示装置。

【請求項11】容量性負荷を駆動する回路において、第1の電源端子と出力端子の間に、該第1の電源端子にカソードが接続された第1の並列ダイオードを持つ第1のスイッチ手段が接続され、該第1のスイッチ手段と該第1の電源端子間、或いは、該第1のスイッチ手段と該出力端子間に、該第1の並列ダイオードと逆方向の第2の並列ダイオードを持つ第2のスイッチ手段を接続したことを特徴とする集積回路。

【請求項12】容量性負荷を駆動する回路において、第1の電源端子と出力端子の間に、該第1の電源端子にカソードが接続された第1の並列ダイオードを持つ第1のスイッチ手段が接続され、

該第1のスイッチ手段につながる該第1の電源端子と独立して、該第1のスイッチ手段を制御する高圧論理手段につながる第2の電源端子を設けたことを特徴とする集積回路。

【請求項13】容量性負荷を駆動する回路において、第1の電源端子と出力端子の間に、該第1の電源端子にカソードが接続された第1の並列ダイオードを持つ第1のスイッチ手段が接続され、

該第1のスイッチ手段と該第1の電源端子間、或いは、該第1のスイッチ手段と該出力端子間に、該第1の並列ダイオードと逆方向の第2の並列ダイオードを持つ第2のスイッチ手段が接続され、

該第1のスイッチ手段につながる該第1の電源端子と独立して、該第1のスイッチ手段を制御する高圧論理手段につながる第2の電源端子を設けたことを特徴とする集積回路。

【請求項14】容量性負荷を駆動する回路において、第1の電源端子と出力端子の間に、該第1の電源端子にカソードが接続された第1の並列ダイオードを持つ第1のスイッチ手段が接続され、

該第1のスイッチ手段につながる該第1の電源端子と独立して、該出力端子にアノードが接続されたダイオードのカソードが接続された第3の電源端子を設けたことを特徴とする集積回路。

【請求項15】容量性負荷を駆動する回路において、該第1のスイッチ手段を、該第1の電源端子に印加される最大電圧より大きいソース・ドレイン間耐圧を持ち、かつ、該第1の電源端子に印加される最大電圧より大きいゲート・ソース間耐圧を持つnMOSFETとしたことを特徴とする請求項11または請求項12または請求項13記載の集積回路。

【請求項16】容量性負荷を駆動する回路において、一番低い電位に接続される第4の電源端子と出力端子の間に第3のスイッチ手段が接続され、該出力端子に出力される信号のレベルを決めるデータ信号とは無関係に、電力回収期間の所定の期間だけ該第3のスイッチ手段を強制的にオフ状態とする論理手段を有することを特徴とする集積回路。

【請求項17】該電力回収期間の該所定の期間だけ、該論理手段を働かせる制御信号が入力される第1の制御端子を有することを特徴とする請求項16記載の集積回路。

【請求項18】請求項16または請求項17記載の集積回路を用いたことを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はプラズマディスプレイパネル等の容量性負荷を駆動する駆動回路及び集積回路（以下ドライバICと称す）並びにそれを用いた表示装置に関する。

【0002】

【従来の技術】従来技術について、以下、プラズマディスプレイパネル（以下PDPと称す）の構造の一例を用いて説明する。

【0003】図2にPDPと各電極の概観図を示す。30はPDP、31はスキャン駆動回路、Y1…Ymはスキャン電極、32はサスティン駆動回路、X1…Xmはサスティン電極、33はアドレス駆動回路、R1、G1、B1…Rn、Gn、Bnはアドレス電極、34は単位セルである。R、G、Bの3単位セルで1画素を構成する。例えば、1024×768の画素数（セル数）を持つPDPでは、スキャン電極、サスティン電極はそれぞれ768本であり、アドレス電極は3072本である。マトリクス状に配置された単位セル34に接続された複数の電極（スキャン電極Y、サスティン電極X、アドレス電極R、G、B）の各電極を駆動信号により発光制御し、画像を表示するものである。

【0004】アドレス駆動回路33に接続されたアドレス電極（R1、G1、B1…Rn、Gn、Bn）とスキャン駆動回路31に接続されたスキャン電極（Y1…Ym）によって点灯させる単位セル34を選択し、その後スキャン駆動回路31、サスティン駆動回路32の駆動により、両駆動回路31、32に接続された電極（Y1…Ym）（X…Xm）間で表示放電させるものである。

【0005】図3に単位セル34の略断面図を示す。

【0006】50は前面ガラス基板、51は誘電体層、52は保護膜、53、54、55は蛍光体、56はスキャン電極、57はサスティン電極、58はアドレス電極、59、60は58に隣接するアドレス電極である。

【0007】アドレス電極58をアドレス駆動回路で駆動する時の主な負荷は、アドレス電極—アドレス電極間の容量 C_{a-a} （ $=C_{a^-} + C_{a^+}$ ）と、アドレス電極—スキャン電極、サスティン電極間の容量 C_{a-xy} である。

【0008】実際の放電における電力損失は微小であり、アドレス電極での電力損失の殆どが、これら（ C_{a-a} 、 C_{a-xy} ）の充放電によるものである。この電力損失が大きく、PDPの消費電力、ドライバICの許容損失の両面から削減が求められていることは周知である。

【0009】そこで、特開平8-160901号公報記載の如く、電荷回収用のコンデンサとコイルを接続し、電荷回収をする方法が提案されている。

【0010】図4に、従来より用いられているドライバICを用いた駆動回路の構成例を示し、図5にその動作波形例を示す。

【0011】65は高圧電源、Crefは回収用コンデンサ、Lは回収用コイル、66は低圧電源、67はn出力のドライバIC、68は低圧入力端子、69は低圧電

源端子、70は低圧GND端子、71は高圧電源端子、72は高圧GND端子、73は低圧部、74は高圧論理部、75は高圧出力段、Q1…Qnは高圧出力端子、Cp1…Cpnはパネル容量である。Crefは、Cp1+Cp2+…+Cpnよりも極めて大きな容量である。図5のVICで示した動作波形は高圧電源端子71の電位、Voutで示した動作波形は高圧出力端子Q1…Qnの電位を示すものである。ここで、低圧電源とは、LSIの論理系に通常用いられる電圧値を持つ電源を指し、例えば3V～5Vである。高圧電源とは、低圧電源に対して大きい電圧値を持つ負荷を駆動するための電源を指し、PDPでは例えば40V～70Vである。この高圧、低圧の定義を用い、以下、説明する。

【0012】ドライバICの構成は、低圧系については簡略に示してある。

【0013】まず、ドライバICの動作について簡単に説明する。低圧入力端子68より入力された信号は、低圧部73によりシリアル-パラレル変換などを行い、高圧論理部74に入力される。高圧論理部74によりレベルシフト等を施され、高圧出力段75を駆動する信号を形成する。高圧出力段75より、高圧出力端子Q1…Qnを介し、パネル容量Cp1…Cpnの充放電を行う。

【0014】次に回収動作について図4、図5を用いて簡単に説明する。

【0015】図5のt1の期間、SW1はオフ、SW2はオン、高圧出力段のプルアップスイッチはオンになる。この時、高圧電源65の約半分の電位を持ったCrefから、SW2、Lを介し、高圧電源端子71に電荷が流れ込む。初期状態がGNDレベルの高圧電源端子71の電位は、LC共振により理想的には高圧電源レベルまで上昇する。高圧電源端子71からオンしている高圧出力段75のプルアップスイッチ、高圧出力端子Q1…Qnを経て、パネル容量Cp1…Cpnに電荷が流れ込む。

【0016】t2の期間には、SW1がオン、SW2がオフと変化し、t1の期間にパネル容量Cp1…Cpnの電位が、高圧電源レベルまで到達しない分を充電する。

【0017】t3の期間には、SW1がオフ、SW2がオンと変化する。この時、パネル容量Cp1…Cpnの電荷が、高圧出力端子Q1…Qn、高圧出力段75のプルアップスイッチの並列ダイオード、高圧電源端子71、L、SW2を介し、Crefに流れ込む。その結果、理想的にはLC共振により、高圧出力端子Q1…Qn、高圧電源端子71の電位はGNDレベルまで下がる。

【0018】t4の期間には、SW2がオフ、高圧出力段75のプルアップスイッチがオフと変化し、かつ、高圧出力段75のプルダウンスイッチをオンとし、t3の期間にパネル容量Cp1…Cpnの電位が、GNDレベルまで到達しない分を放電する。

【0019】以上説明したように、パネル容量Cp1…Cpnの充放電電荷は、理想的には全てCrefとのやりとりでまかなわれ、高圧電源65からの電荷の流出はなくなり、損失が低減する。また、LCの共振を用いることによる損失の低減もある。

【0020】

【発明が解決しようとする課題】しかし、上記従来例では、連続ハイの信号に対しても1パルス毎に刻みが入ってしまう。すなわち、連続ハイの分だけ充放電を余計に行うことで、損失が増加してしまう。

【0021】また、高圧出力段75と共に高圧電源端子71につながっている高圧論理部74の電源電圧を振動させていることで、高圧論理部74を構成する素子の並列容量をも負荷としている。この並列容量は数pFのオーダーで共振条件、共振周期等の点から無視できない値であり、損失低減に不利である。

【0022】また、高圧論理部74の電源電圧を振ることで、構成素子のVth等から、高圧論理の確定が遅れ、高圧出力段75の動作に遅れが生じ、損失低減に不利である。

【0023】また、パネル容量Cp1…Cpnから逆流してくる電荷に対して、ドライバIC67の破壊を防ぐ手段が講じられていない。すなわち、パネル容量Cp1…Cpnから逆流してくる電荷が、高圧出力段75のプルアップスイッチの並列ダイオードを介して逃げる経路がない期間があり、高圧出力端子Q1…Qnの電位が異常に上昇することでドライバICが破壊される可能性があり、損失低減とIC破壊耐量との両立がなされていない。

【0024】また、理想的にはLCの共振であるが、実際は、高圧出力段75のプルアップスイッチのオン抵抗を介したLCRの共振であり、このオン抵抗が高く、条件によっては共振条件に入らなく、損失低減効果が少なくなることに配慮されていない。

【0025】本発明の目的は、容量性負荷の充放電に対し、損失を低減できる駆動回路及びドライバIC、並びにそれを用いた表示装置を提供することにある。

【0026】

【課題を解決するための手段】目的を達成するための第1の手段として、パネル容量から高圧出力段のプルアップスイッチの並列ダイオードを介して、高圧電源端子71に流れる経路に逆流電流制限手段を設ける。

【0027】目的を達成するための第2の手段として、高圧論理部電源端子と高圧出力段電源端子を、夫々独立に設ける。

【0028】目的を達成するための第3の手段として、高圧論理部電源端子と高圧出力段電源端子を、夫々独立に設け、高圧出力端子と高圧論理部電源端子間に逆流電流導通手段を設ける。

【0029】目的を達成するための第4の手段として、

共振開始時のオン抵抗低減手段を設ける。

【0030】

【発明の実施の形態】第1の実施例について図1、図6、図7、図8を用い説明する。

【0031】まず、実施例との対比のために、図4における従来の高圧出力段75の内部構成について、図6を用い説明する。

【0032】図6(a)において、80は高圧電源端子71につながる端子、81は高圧GND端子72につながる端子、82、83は高圧論理部74につながる端子、84は高圧出力端子につながる端子、85は端子80と端子84間に位置するプルアップスイッチ、86は端子84側にアノードが接続された、プルアップスイッチ85の並列ダイオード、87は端子81と端子84間に位置するプルダウンスイッチ、88は端子81側にアノードが接続された、プルダウンスイッチ87の並列ダイオードである。端子82の信号を制御信号としてプルアップスイッチ85はオン/オフする。端子83とプルダウンスイッチ87の関係も同様である。並列ダイオード86、88はスイッチ85、87の保護ダイオードである。

【0033】ここで、端子80から端子84への電流経路はプルアップスイッチ85のオン/オフにより導通/非導通を選択できるが、端子84から端子80への電流経路は並列ダイオード86により常に導通状態である。

【0034】図6(b)に具体例を示す。図6(a)のプルアップスイッチ85を高ゲート耐圧高圧pMOSFET 89、プルダウンスイッチ87を高圧nMOSFET 90に置き換えたものである。通常、これらのMOSFETには固有の並列ダイオードが伴うので、並列ダイオード86、87はMOSFET 89、90の回路記号に含まれているが、説明の都合上、図示する。

【0035】次に、図1を用い第1の実施例の構成について説明する。

【0036】図1は、本実施例の特徴となる高圧出力段75の内部回路構成と、その周辺回路の構成を示す第1の実施例である。説明の簡単化のためにドライバIC 67の高圧出力をQ1の1出力にしてある。ドライバIC 67の高圧電源端子71が、スイッチ手段SW1（例えば半導体スイッチング素子）を介して高圧電源65の高電位側に接続される。ドライバIC 67の高圧GND端子72が、高圧電源65のGND電位側に接続される。また、高圧電源端子71は、直列接続された電力回収用コイルL及びスイッチ手段SW2を介して、電力回収用コンデンサCrefの一端に接続される。さらに、高圧GND端子72は、回収用コンデンサCrefの他端に接続される。ドライバIC 67内において、高圧電源端子71と高圧GND端子電源72の間には、スイッチ手段85、96、87によってパネル容量Cp1を駆動する高圧出力段75が接続される。すなわち、高圧出力段

の端子80及び81が、それぞれ高圧電源端子71及び高圧GND端子72に接続される。高圧出力段75の出力端子84がドライバICの高圧出力端子Q1に接続される。高圧出力端子Q1にはパネル容量Cp1が接続され、高圧出力端子Q1に印加される電圧によってパネル容量Cp1が充放電される。高圧出力段75は、高圧電源端子71と高圧GND端子電源72の間に接続される高圧論理部74によって制御される。すなわち、高圧論理部74において、高圧出力段75のスイッチ手段85、96、87を駆動する信号を出力する複数の出力が、それぞれ高圧出力段75の入力端子82、95、83に接続される。ドライバIC 67内において、高圧論理部74の入力は、信号処理を行う低压部73の出力に接続される。ここでは、簡単のために低压入力端子は1つのみ示したが、実際には複数端子が存在する。例えば、データ入力、データ出力、クロック、ラッチ制御用端子の他、本発明の特徴の一つとなる電力回収制御用端子が存在する。低压部73の入力はドライバICの低压入力端子68に接続される。低压入力端子68に外部から入力された信号は、低压部73に入力され、低压部73によりシリアル-パラレル変換などの信号処理を施され低压部73から出力される。出力された信号は、高圧論理部74に入力され、高圧論理部74においてレベルシフト等の信号処理を施されて高圧出力段75の駆動信号として出力される。低压部73の電源は、高圧電源65よりも電圧が低い低压電源66である。低压電源66の高電位側及びGND側は、それぞれドライバIC 67の低压電源端子69及び低压GND端子70に接続される。低压部73は、低压電源端子69と低压GND端子70との間に接続されることにより、低压電源66から電圧を印加される。なお、Crefは、Cp1の充放電電荷の移動によってもほぼ一定の電位を保つ、大きな容量である。

【0037】高圧出力段75の構成について説明する。これは、前述した図6(a)において、逆流制限スイッチとなるスイッチ手段96、逆流制限スイッチ手段96の並列ダイオード97、逆流制限スイッチ96を制御する端子95を新たに付加したものである。すなわち、プルアップスイッチ手段85とプルダウンスイッチ手段88の間に、これらのスイッチ手段と直列に逆流制限スイッチ手段96が接続される。具体的には、プルアップスイッチ手段85の一端が高圧出力段75の端子80に接続される。プルアップスイッチ手段85の他端は逆流制限スイッチ手段96の一端に接続される。逆流制限スイッチ手段96の他端はプルダウンスイッチ手段87の一端に接続される。プルダウンスイッチ手段87の他端は、高圧出力段75の端子81に接続される。各スイッチ手段には、それぞれダイオードが並列に接続される。プルアップスイッチ手段85に接続されるダイオード86及びプルダウンスイッチ手段87に接続されるダイオ

ード88の向きは、各スイッチ手段の他端から一端に向かって電流が流れる向きである。これに対し、逆流制限スイッチ手段96に接続されるダイオード97の向きは、他のダイオードと逆向き、すなわちスイッチ手段の一端から他端に向かって電流が流れる向きである。以下に説明するように、この逆流制限スイッチ96により端子84から端子80への電流経路の導通/非導通を制御することができる。

【0038】図7に本実施例の動作波形例を示す。図中、VICは高圧電源端子71、Voutは高圧出力端子Q1夫々の電位を示す。

【0039】図1、図7を用い動作について説明する。

【0040】t1の期間には、SW1はオフ、SW2はオン、SW85はオン、SW96はオフ、SW87はオフである。初期状態がGNDレベルであったVoutはLとCp1（+ドライバIC等の寄生容量）とのLC共振により、Crefに貯えられた電荷がSW2、L、高圧電源端子71、端子80、SW85、SW96の並列ダイオード97、端子84、高圧出力端子Q1を経て、Cp1に流れ込むことで理想的には高圧電源レベルまで上昇する。VICも同様に理想的には高圧電源レベルまで上昇する。

【0041】t2の期間には、SW1はオン、SW2はオフ、SW85はオン、SW96はオフ、SW87はオフである。t1の期間にVout、VICが高圧電源レベルまで到達しない分を高圧電源65からSW1を介し充電する。

【0042】t3の期間には、SW1はオフ、SW2はオン、SW85はオン、SW96はオフ、SW87はオフである。従来の高圧出力段75構成（図6（a））では、ここでVoutは破線100で示したようにLC共振により、Cp1に貯えられた電荷が高圧出力端子Q1、並列ダイオード86、端子80、高圧電源端子71、L、SW2を経て、Crefに流れ込むことで理想的にはGNDレベルまで下降する。VICも同様に理想的にはGNDレベルまで下降する。しかし、本実施例では、逆流制限スイッチ96がオフし、しかも並列ダイオードの向きが逆であることから、端子84から端子80への電流経路を非導通にしVICの下降を抑えることができる。VICはGNDレベル付近まで下降する。

【0043】t4の期間には、SW1はオフ、SW2はオフ、SW85はオン、SW96はオフ、SW87はオフである。Voutは高圧電源レベルを保つ。従来の高圧出力段75構成（図6（a））では、ここでVoutは破線100で示したようにt3の期間にVoutがGNDレベルまで到達しない分をSW87を用いて放電する。

【0044】t5の期間には、SW1はオフ、SW2はオン、SW85はオン、SW96はオフ、SW87はオフである。Voutは高圧電源レベルを保つ。従来の高

圧出力段75構成（図6（a））では、ここでVoutは破線100で示したように高圧電源レベル付近まで上昇する。

【0045】t6の期間には、SW1はオン、SW2はオフ、SW85はオン、SW96はオフ、SW87はオフである。Voutは高圧電源レベルを保つ。従来の高圧出力段75構成（図6（a））では、ここでVoutはt5の期間に高圧電源レベルまで到達しない分を充電する。

【0046】t7の期間には、SW1はオフ、SW2はオン、SW85はオフ、SW96はオン、SW87はオフである。VoutはLC共振により、Cp1に貯えられた電荷が高圧出力端子Q1、SW96、SW85の並列ダイオード86、端子80、高圧電源端子71、L、SW2を経て、Crefに流れ込むことで理想的にはGNDレベルまで下降する。VICも同様に理想的にはGNDレベルまで下降する。

【0047】t8の期間には、SW1はオフ、SW2はオフ、SW85はオフ、SW96はオン、SW87はオンである。t7の期間にVoutがGNDレベルまで到達しない分をSW87を用いて放電する。

【0048】図8に図1のスイッチ85、96、87を高圧MOSFETに置き換えた一例を示す。89は高ゲート耐圧高圧pMOSFETであり、端子80にソース、端子82にゲート、高ゲート耐圧高圧nMOSFET98のソースにドレインが接続されている。高ゲート耐圧高圧nMOSFET98は、端子84と高圧nMOSFET90のドレインにドレインが接続され、端子95にゲートが接続されている。高圧nMOSFET90は、端子81にソース、端子83にゲートが接続されている。高ゲート耐圧MOSFETとは、ゲート酸化膜を厚くしゲート耐圧を高くすることでゲート・ソース間にソース・ドレイン間と同等の高電圧を印加できるMOSFETである。SW96に高ゲート耐圧MOSFETを用いたことにより、端子95のゲート信号は高圧論理部74で簡単に生成することができ、構成が簡単になる。

【0049】並列ダイオード86、97、88は、前述したように各々MOSFET89、98、90の内部に固有に存在する寄生ダイオードである。尚、図8においてスイッチ86を高ゲート耐圧高圧nMOSFETの場合について説明したが、これを高ゲート耐圧高圧pMOSFETで実施することも可能である。

【0050】以上示した第1の実施例により、連続ハイのバースを出力する際に、高圧出力に刻みが入らず電力損失の増大を抑えることができ、且つ、電力損失を低減するドライバICを提供することができる。

【0051】構成MOSFETの種類は本実施例に制限されることなく、並列ダイオードの向きに留意すれば、他のスイッチ素子でも同様の効果が得られる。

【0052】第2の実施例について図9、図12を用い説明する。

【0053】図9は、本発明の第2の実施例を示す図であり、回収用電源端子105を設けたことが特徴である。尚、図1で示した低圧系を省略し、説明に必要な寄生容量106、107を図示した。説明の簡単化のためにドライバIC67の高圧出力をQ1の1出力にしてある。図1と重複する点は説明を省略する。

【0054】高圧出力段75を構成する素子の寄生容量106、高圧論理部74を構成する素子の寄生容量107が存在する。これらは夫々数pF程度あり、全体でみると数百pF以上になる可能性もある。高圧電源端子71の電圧を振動させる電力回収方式では、これらの寄生容量106、107も負荷となり、電力回収なしに比べ負荷容量が増える。そこで、本実施例では高圧出力段75と高圧論理部74の電源端子を夫々設け、高圧電源65に直に接続された高圧電源端子71を高圧論理部74に接続し、Lに接続された回収用電源端子105を出力段75に接続し、電力回収時の負荷容量を従来のものより高圧論理部74を構成する素子の寄生容量107分減らす。

【0055】図12に高圧論理部74の構成例を示す。説明の簡単化のため高圧出力段75のプルアップスイッチ85に対する端子82に入力する制御信号を発生する部分のみ示す。

【0056】120は高圧電源端子71につながる端子、121は高圧GND端子72につながる端子、122は低圧部よりの信号が入力される低圧入力端子、123は高圧出力段75のプルアップスイッチ85及び逆流制限スイッチ96に対する端子82及び端子95へ制御信号を出力する高圧出力端子、124、125は高ゲート耐圧高圧pMOSFET、126、127は高圧nMOSFET、128はインバータである。

【0057】高圧出力端子123にローの電圧を出力する時には、低圧入力端子122にローの電圧を入力する。この時、高圧nMOSFET 126はオフし、インバータ128によりハイの電圧がゲートに印加される高圧nMOSFET 127はオンする。結果、高ゲート耐圧高圧pMOSFET 124はオンし、高ゲート耐圧高圧pMOSFET 125はオフすることで高圧出力端子123にローの電圧が出力される。

【0058】高圧出力端子123にハイの電圧を出力する時には、低圧入力端子122にハイの電圧を入力する。この時、高圧nMOSFET 126はオンし、インバータ128によりローの電圧がゲートに印加される高圧nMOSFET 127はオフする。結果、高ゲート耐圧高圧pMOSFET 124はオフし、高ゲート耐圧高圧pMOSFET 125はオンすることで高圧出力端子123にハイの電圧が出力される。

【0059】高圧出力段75と高圧論理部74の電源端子を共通化している場合には、電源端子電圧がGNDレベル付近まで下がりGNDレベルから上昇する時に、端

子120の電圧もGNDレベル付近まで一旦下がり上昇する。この電圧が高ゲート耐圧高圧pMOSFET 124、125の V_{th} （例えば約5〜15[V]）に達するまで、高圧出力端子123の電位は不確定である。高圧出力段75と高圧論理部74の電源端子を独立に設けた場合、端子120の電圧は高圧電源レベル一定であり、上記の問題は発生しない。

【0060】以上示した第2の実施例により、電力回収時の負荷が減ることによって損失低減効果を高めるドライバICを提供することができる。

【0061】また、高圧論理部74の電位が安定していることから、高圧論理部74出力である高圧出力段75を制御する信号も安定し、出力段MOSFETの動作を早めることができ、効率的に共振を起こすことができる。すなわち、損失低減効果を高めるドライバICを提供することができる。

【0062】高圧出力段75の内部回路構成は、図9に示したものに限らず、例えば図8の構成でも同様の効果を得ることができる。

【0063】第3の実施例について図5、図10を用い説明する。

【0064】図10は、本発明の第3の実施例を示す図であり、回収用電源端子105を設けたことが特徴である。図1で示した低圧系、高圧論理部74を省略し、本発明の説明に必要な逆流電流保護ダイオード111、112を図示した。ダイオード111のアノードはQ1、カソードは端子71に接続される。ダイオード112のアノードは端子110、カソードはQ1に接続される。説明の簡単化のためにドライバIC67の高圧出力をQ1の1出力にしてある。図1と重複する点は説明を省略する。

【0065】容量を負荷として駆動するドライバICにおいて、予期せぬ時に負荷容量から逆流してくる電流（以下異常放電と称す）に対する耐量は重要である。

【0066】従来のICを用いた電力回収方式では、図5のt4で示したSW1、SW2が共にオフの期間、または、図5のt1、t3で示したSW1がオフでSW2がオンの期間に、Cp1からの異常放電によりドライバICに流れ込んでくる電荷を逃がす経路が絶えたり、ハイインピーダンスになる。この時に、異常放電が起きた場合、高圧出力端子Q1の電位が異常に上昇しドライバIC75の破壊に至る。そこで、本発明では、逆流電流保護ダイオード111、112を設け、高圧出力段75と異常放電用の電源端子を夫々設ける。高圧電源65に直に接続された高圧電源端子71を逆流電流保護ダイオード111のカソード側に接続し、Lに接続された回収用電源端子105を出力段75に接続する。逆流電流保護ダイオード111のアノード側を高圧出力端子Q1に接続することで、Cp1、Q1、逆流電流保護ダイオード111、高圧電源端子71、高圧電源65の電荷引き

抜き経路を常時設けることができる。

【0067】以上示した第3の実施例により、電力回収の効果を保ちつつ、異常放電に対する耐量を持つドライバICを提供することができる。

【0068】高圧出力段75の内部回路構成は、図10に示したものに限らず、例えば図8の構成でも同様の効果を得ることができる。

【0069】第4の実施例について図11を用い説明する。

【0070】図11では、図10において省略した高圧論理部74、寄生容量106、107を示した。説明の簡単化のためにドライバIC67の高圧出力を図10と同様にQ1の1出力にしてある。図1、図9、図10と重複する点は説明を省略する。本発明では、高圧論理部74と異常放電用の高圧電源端子71を共通化し、他に回収用電源端子105を設ける。

【0071】以上示した第4の実施例により、高圧論理部74と逆流保護ダイオード111の高圧電源を共通化することで、第2、第3の実施例の効果をドライバIC67の配線の簡略化を図りつつ実現できる。

【0072】高圧出力段75の内部回路構成は、図11に示したものに限らず、例えば図8の構成でも同様の効果を得ることができる。

【0073】第5の実施例について図9、図13～図17を用い説明する。

【0074】Cp1に電荷を充電する際の動作について、図9を用いて説明する。

【0075】高圧電源65の半分の電位を持ったCrefに貯えられた電荷がSW2、L、回収用電源端子105、端子80、プルアップスイッチ85、端子80、高圧出力端子Q1を経てCp1に流れ込む。この時、高圧出力端子Q1の電位は、L、Cp1、プルアップスイッチ85のオン抵抗によるLCR共振にて、Crefの電位よりも高く、抵抗がゼロであったならば、ある期間で理想的にはCrefの電位の2倍の電圧、つまり高圧電源の電位まで上昇する。

【0076】LCR共振の共振条件は、 $R < 2\sqrt{L/C}$

である。このことから、プルアップスイッチ85のオン抵抗は低い必要がある。また、LC共振においての電力損失は基本的にはゼロであるが、抵抗がある場合には、抵抗損失がある。電流値をIとすると抵抗損失は IR^2 であり、このことから、プルアップスイッチ85のオン抵抗は低い必要がある。

【0077】そこで、本実施例では図13の構成により、プルアップスイッチ85のオン抵抗低減を図る。

【0078】図13は、図9の寄生容量106、107を省略し、プルアップスイッチ85を高ゲート耐圧高圧nMOSFET130、プルダウンスイッチ87を高圧nMOSFET90に置き換えたものである。高ゲート耐圧高圧nMOSFE

T130のソースは端子84、ドレインは端子80、ゲートは端子82に接続される。高圧nMOSFET90のソースは端子81、ドレインは端子84、ゲートは端子83に接続される。高ゲート耐圧MOSFETとは、ゲート・ソース間にソース・ドレイン間と同等の高電圧を印加できるMOSFETである。プルアップスイッチ85を高ゲート耐圧高圧nMOSFET130にすることでオンの抵抗低減について、以下説明する。

【0079】図14(a)に、図13の高圧論理部74の一部と高ゲート耐圧高圧nMOSFET130とCp1の構成、図14(b)に高圧出力レベルがハイになるモードでの高ゲート耐圧高圧nMOSFET130のソース電位に対する高ゲート耐圧高圧nMOSFET130ゲート・ソース間電圧特性例を示す。この時、説明の簡単化のために、Cp1の電位はGNDレベルに固定してある。

【0080】端子105の電位は、GNDレベルから高圧電源レベル（ここでは仮に50[V]とする）まで変化するが、端子71の電位は高圧電源レベルに固定されている。よって、高ゲート耐圧高圧nMOSFET130をオンするゲート印加電圧（＝高圧電源レベル）が安定して、ゲートGに供給される。その時の、端子105の電位に対するゲート・ソース間電圧は直線116の特性を示す。

【0081】次に、高圧出力段75と高圧論理部74の電源端子を共通化している場合について、図14(a)、(b)と同様のものを図15(a)、(b)に示す。

【0082】端子71の電位は、GNDレベルから高圧電源レベル（ここでは仮に50[V]とする）まで変化する。よって、高ゲート耐圧高圧nMOSFET130をオンするゲート印加電圧もGNDレベルから高圧電源レベルまで変化する。ゲートGに供給される。その時の、端子71の電位に対するゲート・ソース間電圧は直線115の特性を示す。

【0083】次に、高ゲート耐圧高圧nMOSFET130に替わり高ゲート耐圧高圧pMOSFET89をおいた場合について、図14(a)、(b)と同様のものを図16(a)、(b)に示す。

【0084】端子105の電位は、GNDレベルから高圧電源レベル（ここでは仮に50[V]とする）まで変化する。端子71の電位は高圧電源レベルに固定されている。高ゲート耐圧高圧pMOSFET89をオンするゲート印加電圧（＝GNDレベル）は安定して、ゲートGに供給される。しかし、高ゲート耐圧高圧pMOSFET89のソースは端子105側にあるので、端子105の電位に対するゲート・ソース間電圧は直線131の特性を示す。

【0085】図17に図14(b)、図15(b)、図16(b)から、高圧出力部75のプルアップスイッチ85がつながっている電圧端子の電圧に対するプルアップスイッチのオン抵抗特性の一例を示す。

【0086】曲線117が高ゲート耐圧高圧nMOSFET 130をプルアップスイッチに用い、高圧出力段75と高圧論理部74の電源端子を独立して設けた図14の特性である。曲線118が高ゲート耐圧高圧nMOSFET 130をプルアップスイッチに用い、高圧出力段75と高圧論理部74の電源端子を共通化した図15と、高ゲート耐圧高圧pMOSFET 89をプルアップスイッチに用いた図16の特性である。

【0087】図17から、特に回収初期（高圧出力部75のプルアップスイッチがつながっている電圧端子の電圧が低い時）のオン抵抗が、高ゲート耐圧高圧nMOSFET 130をプルアップスイッチに用い高圧出力段75と高圧論理部74の電源端子を独立して設けた時に著しく小さい値を示すことが分かる。

【0088】以上示した第5の実施例により、回収初期の抵抗を下げ電力回収の効果を向上し、電力損失低減効果を高めるドライバICを提供することができる。

【0089】高圧出力段75の構成はこれに限るものではなく、例えば、図8の高ゲート耐圧高圧pMOSFET 89を高ゲート耐圧高圧nMOSFETに置き換えることでも、同様の効果が得られる。

【0090】第6の実施例について図1、図18、図19、図21を用い説明する。

【0091】図18はPDPの映像系に着目した簡単なブロック構成図である。

【0092】140はPDP装置、141は映像信号入力端子、端子141に接続された142は映像信号処理ブロック、映像信号処理ブロック142に接続された143は制御ブロックである。31はスキャン駆動回路、146はスキャン駆動回路31の電力回収回路、32はサスティン駆動回路、147はサスティン駆動回路32の電力回収回路、33は本発明に関わるアドレス駆動回路、148は本発明に関わるアドレス駆動回路33の電力回収回路である。これらの回路31、146、32、147、33、148は、制御ブロック143と接続されている。145は高圧電源ブロックで電力回収回路146、147、148に、それぞれ149、151、150の高圧電源ラインで接続されている。30は表示パネル（PDP）である。低圧電源、GNDラインは省略してある。また、制御ブロックより出力されている制御信号ラインは、図面の簡単化のために各ブロックに1本としているが、これは複数の制御ラインを示している。また、スキャン駆動回路の電力回収回路146、サスティン駆動回路の電力回収回路147はなくても構わない。その場合には、高圧電源ライン149はスキャン駆動回路31へ、高圧電源ライン151はサスティン駆動回路32へ直接入力される。

【0093】入力端子141から入力された映像信号は、映像信号処理ブロック142においてA/D変換等の処理をされた後に制御ブロック143に入力される。

制御ブロック143では、スキャン駆動回路31、電力回収回路146、サスティン駆動回路32、電力回収回路147、アドレス駆動回路33、電力回収回路148に必要な制御信号を生成し、それぞれのブロックに入力する。それぞれのブロックは入力された制御信号と電力回収回路146、147、148の信号（アドレス系は160で示す）により、表示パネル30へ電圧を印加し、表示パネル30において映像を表示する。

【0094】図19にアドレス駆動回路33の電力回収回路148のブロック図を示す。図19は図1の一部にSWの制御信号を加えたものであり、図1において説明したものと重複する説明は省略する。155は高圧電源ライン150につながる電源端子、156は制御ブロック143につながる、SW2を制御する制御信号入力端子、157は制御ブロック143につながる、SW1を制御する制御信号入力端子、158はGND端子、159はアドレス駆動回路33につながる出力端子である。

【0095】図21にアドレス駆動回路33の簡単な構成を示す。

【0096】67-1～67-nはn個のドライバICであり、夫々Q1～Qnのn個の高圧出力端子を持つ。電力回収回路148よりの信号が入力端子165より入力され、夫々のドライバIC67の高圧電源端子71に供給される。アドレス駆動回路33の高圧出力端子群166は、表示パネル30と接続される。

【0097】図18では一つの電力回収回路148と一つのアドレス駆動回路33が示してあるが、ドライバIC67を数グループに分け、グループごと電力回収回路148を設けてもよい。

【0098】ここで、ドライバIC67-1～67-nの構成は図1のドライバIC67と同様であり、高圧出力段75に逆流制限スイッチ96設け、端子84から端子80への電流経路の導通/非導通を制御する。

【0099】以上示した第6の実施例により、連続ハイのパルスを出力する際に、高圧出力に刻みが入らず損失の増大を抑えることができ、且つ、電力損失を低減する表示装置を提供することができる。また、電力損失が低減されることから、階調増加等高画質化に電力を使うことができ、高画質な表示装置を提供することができる。

【0100】第7の実施例について図9、図20、図22を用い説明する。

【0101】図20は図18に加え、高圧電源ブロック145から161で示す信号経路を設けたものである。重複する説明は省略する。図9も同様に重複する説明は省略する。

【0102】図22は図21に加え、高圧電源端子167を設けたものである。高圧電源ブロック145から高圧電源端子167を経て各ドライバIC67-1～67-nの高圧電源端子71に接続される。また、電力回収回路148からの、入力端子165を経て供給される信

号は、各ドライバIC67-1~67-nの回収用電源端子105に入力される。

【0103】ここで、ドライバIC67-1~67-nの構成は図9のドライバIC67と同様であり、高圧電源端子71と回収用電源端子105とは独立に設けてある。図20では一つの電力回収回路148と一つのアドレス駆動回路33が示してあるが、ドライバIC67を数グループに分け、グループごと電力回収回路148を設けてもよい。

【0104】本実施例によれば、高圧論理部と高圧出力段の電源端子を別にすることで、電力回収時の負荷容量を減らすことができ、且つ、出力段MOSFETの動作を早めることで効率的に共振を起こすことができそれにより電力損失低減効果を高めた表示装置を提供することができる。

【0105】第8の実施例について図10、図20、図22を用い説明する。

【0106】本実施例は、図20、図22と同様の構成で、アドレス駆動回路33の中のドライバIC67の構成を、図10のドライバIC67の構成としたものであり、動作の説明は図10、図20、図22と重複するので省略する。

【0107】本実施例によれば、異常放電用と高圧出力段の電源端子を別にすることで、電力回収の効果を保ちつつ、異常放電に対する耐量を持った表示装置を提供することができる。

【0108】第9の実施例について図11、図20、図22を用い説明する。

【0109】本実施例は、図20、図22と同様の構成で、アドレス駆動回路33の中のドライバIC67の構成を、図11のドライバIC67の構成としたものであり、動作の説明は図11、図20、図22と重複するので省略する。

【0110】本実施例によれば、高圧論理部74と逆流保護ダイオード111の高圧電源を共通化することで、第7、第8の実施例の効果をドライバIC67の配線とその周辺の配線の簡略化を図りつつ実現できる。

【0111】第10の実施例について図13、図20、図22を用い説明する。

【0112】本実施例は、図20、図22と同様の構成で、アドレス駆動回路33の中のドライバIC67の構成を、図13のドライバIC67の構成としたものであり、動作の説明は図13、図20、図22と重複するので省略する。

【0113】本実施例によれば、高圧論理部と高圧出力段の電源端子を別にし、プルアップスイッチを高ゲート耐圧高圧nMOSFET とすることで、回収初期の抵抗を下げ電力回収の効果を向上し、電力損失低減効果を高めた表示装置を提供することができる。

【0114】第11の実施例について図23、図24を

用いて説明する。

【0115】図23は、図9における高圧出力手段75及び高圧論理部74として、各々図6(b)、図8、図13及び図12に示した以外の実施例を示すものである。高圧出力手段75は、プルアップスイッチ85に相当する高圧nMOSFET 900と、高圧nMOSFET 900の内部に固有に存在する並列ダイオード86、高圧電源レベルHV（以下HVレベル）を出力する際にゲート・ソース電圧を発生させるための抵抗910、その発生した電圧が高圧nMOSFET 900のゲート・ソース耐圧を超えないように保護するためのツェナーダイオード920、プルダウンスイッチ87に相当する高圧nMOSFET 90及びその並列ダイオード88からなる。

【0116】高圧論理部74は、図12に示した高ゲート耐圧高圧pMOSFETと高圧nMOSFETより構成されたレベル変換回路と、高圧ダイオード1231、及び高圧nMOSFET 1270から成る。

【0117】また、低圧論理回路73は、図24に示したようにシフトレジスタ、データラッチ回路、及び低圧駆動回路7300から主に成る。データ入力端子68aに入力されたアドレスデータは、データラッチ回路を経て低圧駆動回路7300に入力され、同時に、シフトレジスタ回路を通過しデータ出力端子68bから出力される。シフトレジスタにはクロック信号、データラッチ回路にはラッチ制御信号、低圧駆動回路には電力回収制御信号とラッチされたアドレスデータ信号が入力される。

【0118】次に、回収回路及びそれに用いるドライバIC67の主な回路動作について説明する。

【0119】プルアップスイッチ85を、通常の低ゲート耐圧(例えば5V)の高圧nMOSFET 900としたことにより、高ゲート耐圧の高圧nMOSFET を用いた場合に比べ、図7の t_1 、 t_5 に相当する時間を短くすることができる。これにより、電力回収動作の高速化が図れるので、データ線の本数が多い高精細ディスプレイにおいても高効率の電力回収が可能になる。

【0120】時間 t_1 、 t_5 を短くできる理由は、高ゲート耐圧高圧MOSFETでは高圧電源レベルHVの電圧がゲート・ソース間に印加されないと性能がフルに出ない(オン抵抗高く、動作電流小)のに対し、通常の高圧nMOSFET ではゲート・ソース間に5Vが印加されればフルに性能が出るからである。また、ゲート酸化膜厚が薄いのでしきい電圧を小さくできることも高速化に有利である。

【0121】しかしながら、高圧出力段75のプルアップ側に通常の高圧nMOSFET を用いた場合、高圧論理部74に図12の回路をそのまま用いても電力回収効率は向上しない。その理由を以下に述べる。

【0122】電力回収期間の前半(図7の t_3 、 t_7 に相当)では、パネル容量 C_{p1} から C_{pn} (図では簡単のために、 C_{p1} 及びそれに接続される回路のみを示し

ている)の内、HVレベルに充電されているパネル容量C_{pm}に貯えられた電荷が、高圧出力端子Q_m、並列ダイオード86、端子80高圧電源端子71、インダクタL、スイッチSW2を経て、回収用コンデンサC_{ref}に流れ込む必要がある。そして、LCR直列共振により理想的にはC_{pm}の電位はGNDレベルまで下降する。

【0123】この時、高圧論理部に図12のレベル変換回路を用いる場合には、出力端子123の電圧をGNDレベルにしておく必要がある。これは、高圧nMOSFET125をオンのままにして端子123の出力電圧をHVレベルにしておくと、高圧出力段75内部の抵抗910を介して端子123と端子80が接続され、高圧電源65から端子80に向かって電流が流れ込み、所定の動作が得られないからである。しかしながら、出力端子123の電圧をGNDレベルにすると、HVレベルにあるC_{pm}の電荷は抵抗910、端子901を経て端子123にも流れ込み、電力回収の効率は著しく低下する。

【0124】そこでこれを防ぐために、本発明では端子1230を設けて、端子123に相当するノードと端子1230間に高圧ダイオード1231を設けた。高圧ダイオード1231のアノード及びカソードは、各々端子123に相当するノード及び端子1230に接続されており、高圧nMOSFET 127をオンにして端子123に相当するノードをGNDレベルにしても、パネル容量C_{pm}から端子123側へ電荷が流れ込むことはない。

【0125】尚、ドライバIC67の内部に示した端子、例えば120、80、1230、83、122、1220、1221等は仮想的な端子であり、そこにボンディングパッド等がそこにある訳ではない。

【0126】上記の他に、図23に示したドライバIC67を電力回収用ドライバICとして正常に動作させるためには、高圧nMOSFET 90、1270を適切に動作させる必要がある。その動作の内容について、図24

(b)を用いて以下に説明する。駆動回路7300は、NOR回路7303、NAND回路7304、インバータ7305、7306、7307から構成され、端子7301から電力回収制御信号、端子7302からアドレスデータ信号が入力され、上記論理回路を経て4つの出力信号が、各々端子122、1220、1221、83へ入力される。通常のインバータ回路動作によりGNDレベルを出力する場合、高圧nMOSFET 90はオン、高ゲート耐圧高圧pMOSFET 125はオフ、高圧nMOSFET 127はオン状態にし、HVレベルを出力する場合には、高圧nMOSFET 90はオフ、高ゲート耐圧高圧pMOSFET 125はオン、高圧nMOSFET 127はオフ状態にする。

【0127】ところが、電力回収期間の前半の時間t₃、t₇(図7参照)では、電力回収動作を妨げないために高圧nMOSFET 90、1270はオフ、高圧nMOSFET 127はオン、高ゲート耐圧高圧pMOSFET 125はオフ状態にする必要があり、通常のインバータ回路動作と一致

しない。

【0128】そこで、通常はGNDレベル、電力回収期間の前半の時間t₃、t₇では低圧電源レベル(以下、V_{cc}レベル)となる電力回収制御信号を用いて、アドレスデータ信号と論理をとり、時間t₃、t₇の間だけ高圧nMOSFET 90、1270と高圧nMOSFET 127が同時にオフする様にした。

【0129】図24(b)において、電力回収制御信号がV_{cc}レベルになると、NOR回路7303及びNAND回路7304の出力は、アドレスデータ信号に関わらず強制的に各々GNDレベル、V_{cc}レベルとなる。このため、端子122、1220、1221、83へは、各々GND、V_{cc}、GND、GNDレベルの信号が入力され、高圧nMOSFET 126はオフ、高圧nMOSFET 127はオン(従って、高ゲート耐圧高圧pMOSFET 125オフ)、高圧nMOSFET 1270はオフ、高圧nMOSFET 90はオフとなる。

【0130】電力回収制御信号がGNDレベルの場合は、アドレスデータ信号に従って出力電圧レベルが決まり、端子122、1220、1221、83は、各々アドレスデータ信号の反転、非反転、非反転、非反転信号が出力されて、前記の通常インバータ動作が実現される。

【0131】電力回収を行う際、パネル容量C_{p1}の容量値や回路の直列抵抗値によって共振周波数が変わり、時間t₃、t₇の値も変わる。パネル容量値は、パネルメーカーやパネルの機種によって様々であり、同一メーカー、同一機種でも製造ばらつきにより変わるので、ドライバIC67の外部端子(図1の端子68)から入力する電力回収制御信号のパルス幅を、電力回収を行うパネルの容量等に合せて適切に調整すれば、電力回収効率を向上することができる。

【0132】尚、図23において、高圧nMOSFET 1270は高圧nMOSFET 90を補助するものである。出力端子Q1をGNDレベルにする際に、高圧nMOSFET 90だけではツェナーダイオード920の順方向電圧降下が過渡的に見える。そこで、高圧nMOSFET 1270を用いて抵抗910を介して出力端子Q1の出力をGNDレベルまで引き下げる。従って、順方向電圧降下が問題にならない場合にはこれを除くことができる。

【0133】第12の実施例について図25、図26を用いて説明する。

【0134】図25は、図23における高圧論理部74の回路を、高ゲート耐圧高圧pMOSFETを用いたレベル変換回路の代わりに、定電流源駆動型のレベル変換回路にしたものである。

【0135】高圧論理部74は、カレントミラー回路を構成する高圧nMOSFET 1260、1261、高圧pMOSFET 1250、抵抗1251、ツェナーダイオード1252から成る。抵抗1251、ツェナーダイオード12

52は、前述の高圧出力段75の抵抗910、ツェナダイオード920と同様の働きをする。

【0136】図26に、上記高圧論理回路の場合の低圧論理回路73の概略回路構成を示す。低圧駆動回路7310以外は前述の図24と同じである。低圧駆動回路7310は、小さな電流を流す定電流源7315と大きな電流を流す定電流源7316、それを切替える論理回路（図示せず）、NOR回路7313、7314から主に成る。大小2通りの定電流源を持つのは、出力端子Q1の出力電圧切換え時（立上げ、立下がり時）には大きな電流の定電流源を用いてレベル変換回路を高速動作させ、切替わった後の定常状態では小さな電流の定電流源に変えて低消費電力化を図るためである。また、両定電流源はNOR回路7313の出力がVccレベルの時共にオフする。従って、電力回収制御信号がVccレベルになると両定電流源は共にオフする。その結果、電力回収期間の前半の時間t3、t7では、高圧pMOSFET1250のゲート電圧はHVレベルに引き上げられ、高圧pMOSFET1250はオフする。よって、高圧論理部74の出力端子1232はハイインピーダンス状態となり、電力回収動作に支障をきたすことはない。

【0137】第13の実施例について図27、図28を用いて説明する。

【0138】図27は、図23における高圧論理部74を別の回路で実施したものである。この実施例では、図23のダイオード1231を設ける代わりに、高圧nMOSFET1272、高ゲート耐圧高圧pMOSFET1240、抵抗1241を設けた。この部分は通常のインバータ動作時には動作せず、電力回収期間の前半の時間t3、t7で電力回収制御信号がVccレベルになった時のみ動作する。そして、高ゲート耐圧高圧pMOSFET125のゲート電圧をHVレベルまで引き上げ、高ゲート耐圧高圧pMOSFET125をオフさせる。

【0139】また、図28(b)から分かる様に、電力回収制御信号がHVレベルの時は、NOR回路7323、7324の出力が共にGNDレベルとなり、高圧nMOSFET126、127は共にオフする。その結果、時間t3、t7では高圧論理部74の出力端子123はハイインピーダンス状態となり、電力回収動作に支障をきたすことはない。

【0140】通常のインバータ動作に関しては、前述の実施例と同様なので説明は省略する。

【0141】第14の実施例について図29を用いて説明する。

【0142】図29は、図23における高圧出力段75の高圧nMOSFET900と並列に高ゲート耐圧高圧pMOSFET930を設け、そのゲート端子931を高圧論理部74の別の出力端子1242（端子1230の反転信号が出力される）に接続したものである。高圧出力段75のプルアップ側トランジスタに高圧nMOSFETを用いた場

合、出力立上がり時に出力端子Q1の電圧が上昇してHVレベルに近づくと、そのゲート・ソース間電圧が5V以下になって負荷駆動能力が低下する。その結果、電力回収期間の後半の時間t1、t5（図7参照）における到達電圧が下がり回収効率にも影響する。そこで、高ゲート耐圧高圧pMOSFET930を並列に動作させ、到達電圧の低下を防いでいる。低圧論理回路73の構成、動作は図24と同じである。

【0143】第15の実施例について図30、図31を用いて説明する。

【0144】図30は、図23における高圧出力手段75に、図1の逆流制限スイッチ手段として高ゲート耐圧高圧nMOSFET98（図8の高ゲート耐圧高圧nMOSFET98と同じ）を追加したものである。その目的は、第1の実施例で述べたものと同様である。

【0145】そのため、通常動作時はオフしている高ゲート耐圧高圧nMOSFET98を、電力回収時には、GNDレベルを出力する出力端子に対応した高圧出力段75の高ゲート耐圧高圧nMOSFET98のみオンさせ、HVレベル出力する出力端子に対応したそれはオフをキープさせる必要がある。

【0146】そこで本実施例では、高圧論理部74に高圧nMOSFET1280、抵抗1281を、低圧論理回路にNOR回路7334a、インバータ7338、7337aを追加した。

【0147】これにより、出力端子Q1がGNDレベルとなる時、即ち図31(b)のアドレスデータ信号がVccレベルの時、NAND回路7334aの出力はVccレベルとなり、高圧nMOSFET1280はオフとなるから、高ゲート耐圧高圧nMOSFET98のゲート電圧はHVレベルに保たれる。電力回収期間の前半の時間t3、t7では、端子80の電位はHVレベルより下がって行くので、ゲート・ソース電圧が順方向に発生し、高ゲート耐圧高圧nMOSFET98はオンする。このため、パネル容量Cp1の電荷回収が行われる。一方、出力端子Q1がHVレベルとなる時、即ちアドレスデータ信号がGNDレベルの時に、電力回収制御信号がVccレベルになるとNAND回路7334aの出力がGNDレベルとなる。その結果、高圧論理部74の端子1283にはVccレベルの信号が入力され、高圧nMOSFET1280がオンとなり、高ゲート耐圧高圧nMOSFET98のゲート電圧をGNDレベルに引き下げるので、高ゲート耐圧高圧nMOSFET98はほぼオフ状態が保たれる。

【0148】尚、出力の立上がり時には高ゲート耐圧高圧nMOSFET98に内蔵された並列ダイオード97が働くので立上がり動作に支障をきたすことはない。

【0149】第16の実施例について図32、図33を用いて説明する。

【0150】図32は、図30における高圧出力段75の高ゲート耐圧高圧nMOSFET98の代わりに、高ゲート

耐圧高圧pMOSFET 98aを用いた場合である。

【0151】本実施例でも、通常動作時はオフしている高ゲート耐圧高圧pMOSFET 98aを、電力回収時には、GNDレベルを出力する出力端子に対応した高圧出力段75の高ゲート耐圧高圧nMOSFET 98のみオンさせ、HVレベルを出力する出力端子に対応したそれはオフをキープさせる様に、低圧駆動回路7340の回路を構成した。

【0152】以上、第1～16の実施例において、PDPを例にとり説明してきたが、これに限るものではなく、エレクトロルミセントパネル、液晶パネル等の容量性負荷となる表示パネル、またはそれを駆動するドライバICにおいて、本発明は有効である。

【0153】

【発明の効果】以上説明したように本発明によれば、電力損失を低減するのに適した容量性負荷用の駆動回路及びドライバIC、並びに容量性負荷となる表示パネルを備える表示装置を実現することができる。

【0154】具体的には、電力の回収効率を向上できる。また、高精細ディスプレイにも対応可能な高速の電力回収回路が得られる。更に、電力回収制御信号のパルス幅をパネル容量に合せて調整することにより、あらゆる種類のパネルに対して最適な電力回動作を実現できる。その結果、比較的容易に高い回収効率が得られる。

【図面の簡単な説明】

【図1】第1の実施例のドライバIC、回収回路。

【図2】PDPと各電極の概観図。

【図3】単位セル34の略断面図。

【図4】ドライバIC、回収回路の従来例。

【図5】従来例の動作波形。

【図6】従来例の高圧出力段構成。

【図7】第1の実施例の動作波形。

【図8】第1の実施例の高圧出力段構成。

【図9】第2の実施例のドライバIC、回収回路。

【図10】第3の実施例のドライバIC、回収回路。

【図11】第4の実施例のドライバIC、回収回路。

【図12】高圧論理部構成例。

【図13】第5の実施例のドライバIC、回収回路。

【図14】高ゲート耐圧高圧nMOSFET。

【図15】高ゲート耐圧高圧nMOSFETの比較。

【図16】高ゲート耐圧高圧pMOSFET。

【図17】回収用電源電圧対オン抵抗特性。

【図18】第6の実施例の表示装置。

【図19】第6の実施例の回収回路。

【図20】第7の実施例の表示装置。

【図21】アドレス駆動回路構成例。

【図22】アドレス駆動回路構成例。

【図23】第11の実施例のドライバIC、回収回路。

【図24】第11の実施例のドライバIC内部にある低圧論理回路。

【図25】第12の実施例のドライバIC、回収回路。

【図26】第12の実施例のドライバIC内部にある低圧論理回路。

【図27】第13の実施例のドライバIC、回収回路。

【図28】第13の実施例のドライバIC内部にある低圧論理回路。

【図29】第14の実施例のドライバIC、回収回路。

【図30】第15の実施例のドライバIC、回収回路。

【図31】第15の実施例のドライバIC内部にある低圧論理回路。

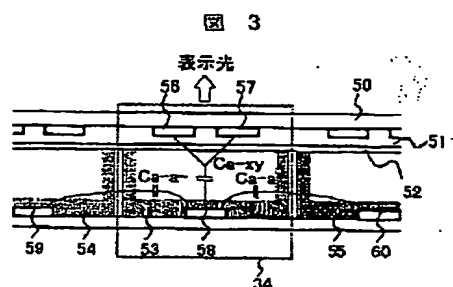
【図32】第16の実施例のドライバIC、回収回路。

【図33】第16の実施例のドライバIC内部にある低圧論理回路。

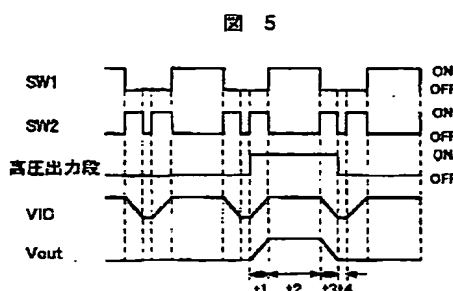
【符号の説明】

30…PDP、33…アドレス駆動回路、67…ドライバIC、71…高圧電源端子、73…低圧論理回路、74…高圧論理部、75…高圧出力段、85、87、96…スイッチ手段、86、88、97…並列ダイオード、89…高ゲート耐圧高圧pMOSFET、98…高ゲート耐圧高圧nMOSFET、106、107…寄生容量、108…回収用高圧電源端子、111、112…逆流電流保護ダイオード、117、118…オン抵抗特性、142…映像信号処理ブロック、143…制御ブロック、145…高圧電源ブロック、146、147、148…回収回路、7300、7310、7320、7330、7340…低圧駆動回路。

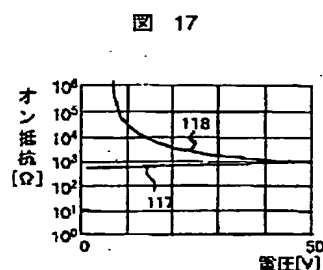
【図3】



【図5】

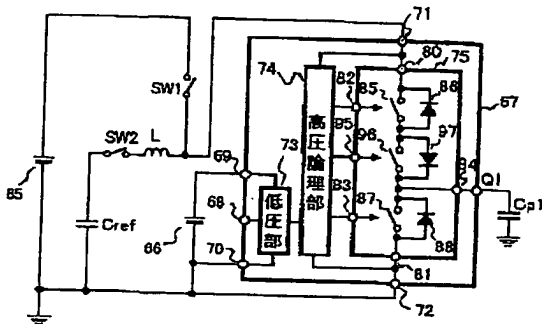


【図17】



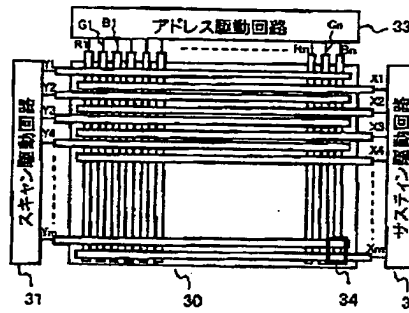
【図1】

図 1



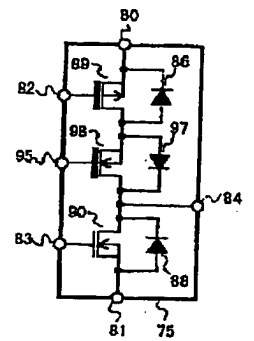
【図2】

図 2



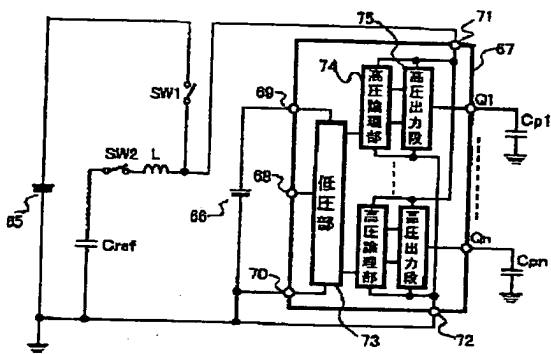
【図8】

図 8



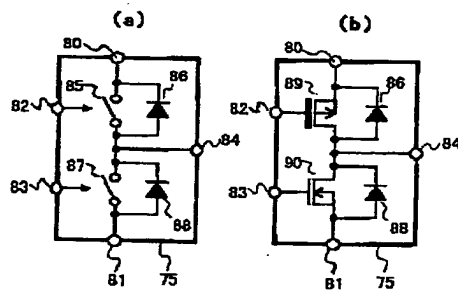
【図4】

図 4



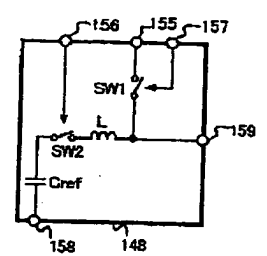
【図6】

図 6



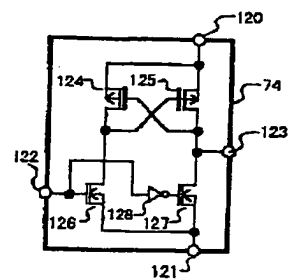
【図19】

図 19



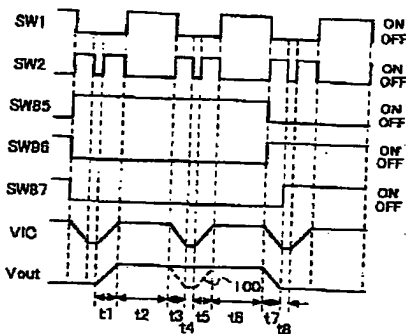
【図12】

図 12



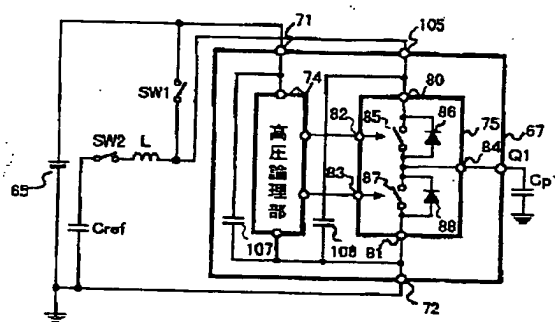
【図7】

図 7



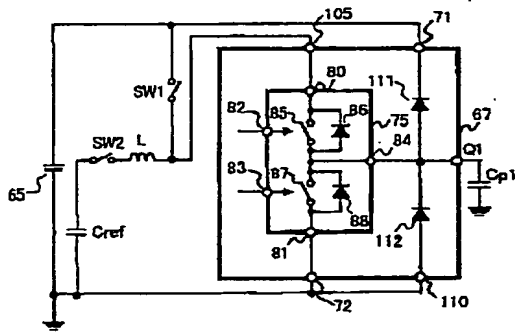
【図9】

図 9



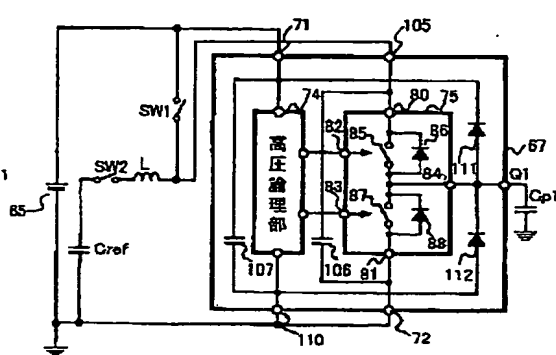
【図10】

図 10



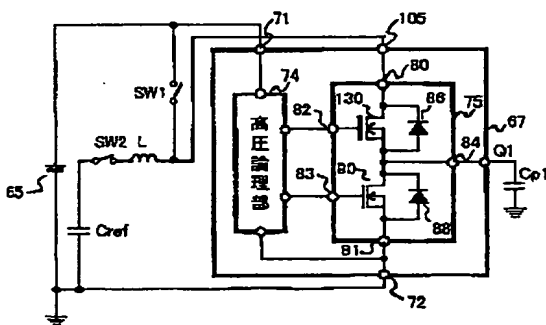
【図11】

図 11



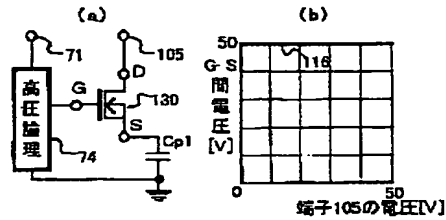
【図13】

図 13



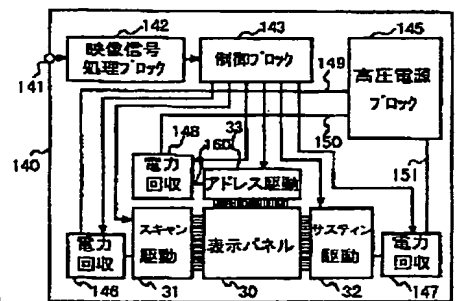
【図14】

図 14



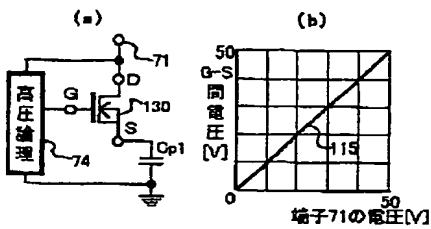
【図18】

図 18



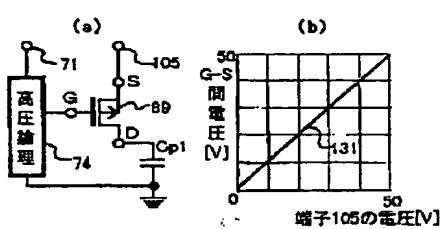
【図15】

図 15



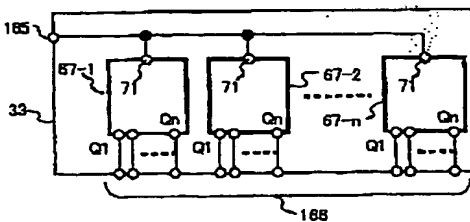
【図16】

図 16



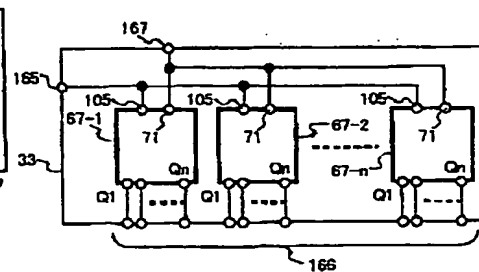
【図21】

図 21



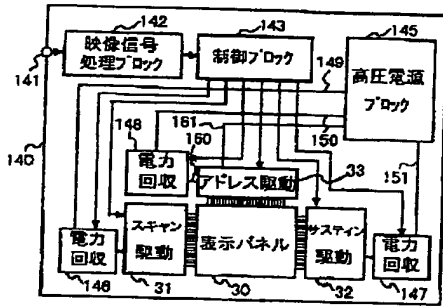
【図22】

図 22



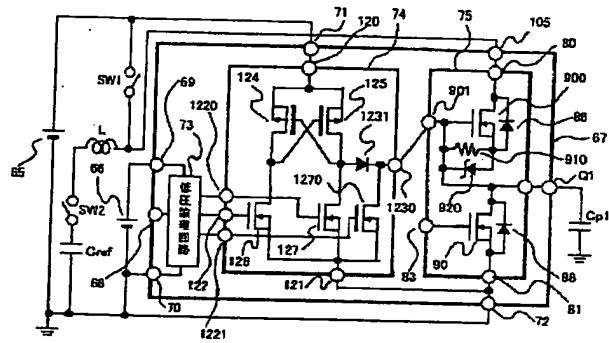
【図20】

図 20



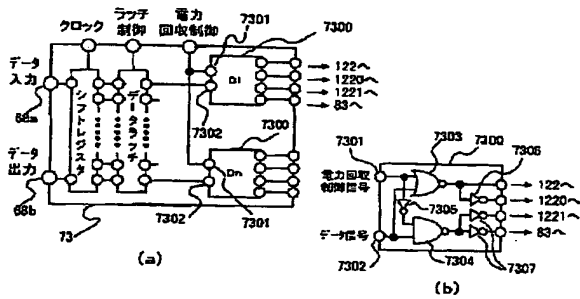
【図23】

図 23



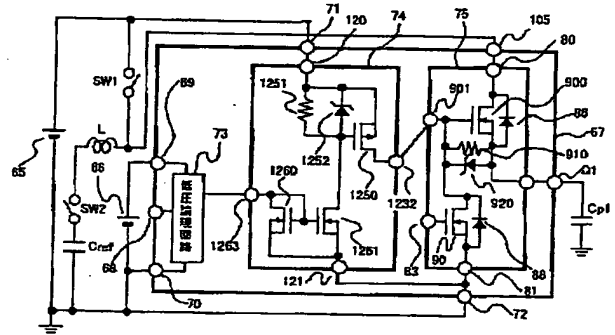
【図24】

図 24



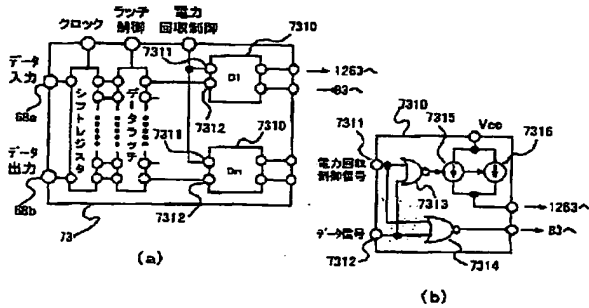
【図25】

図 25



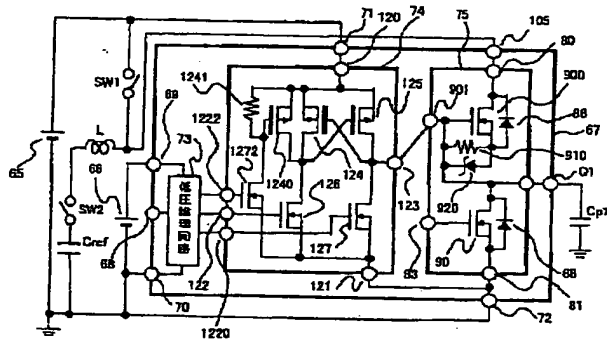
【図26】

図 26



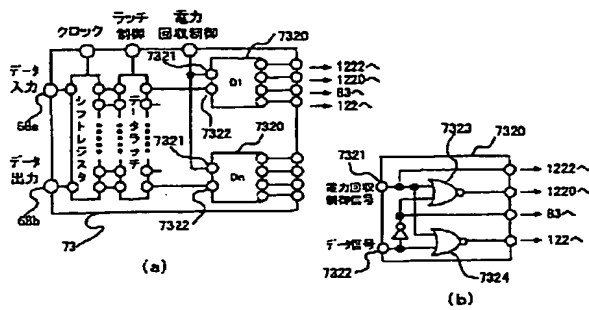
【図27】

図 27



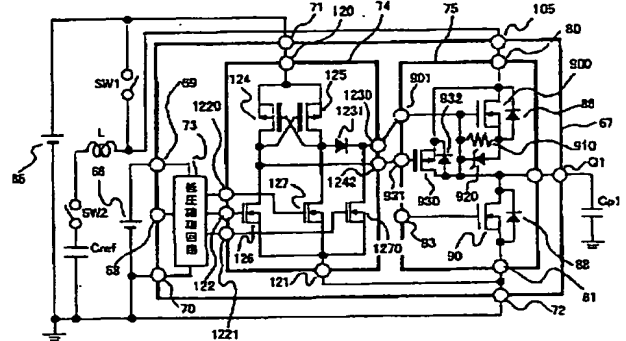
【図28】

図 28



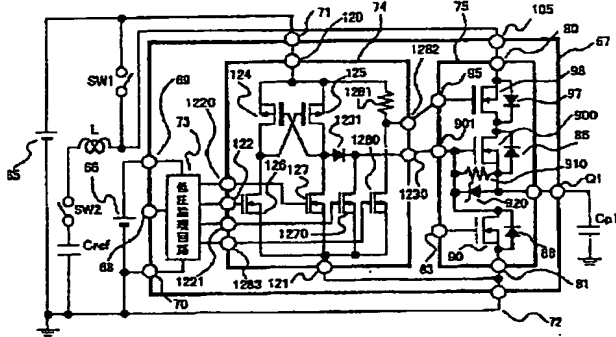
【図29】

図 29



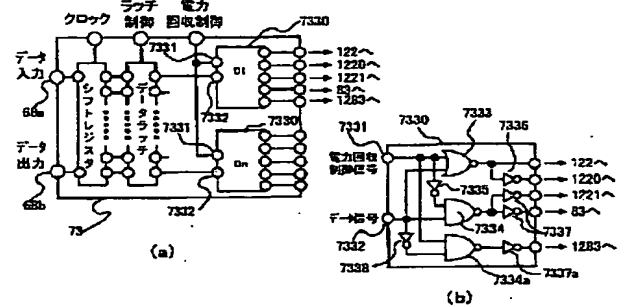
【図30】

図 30



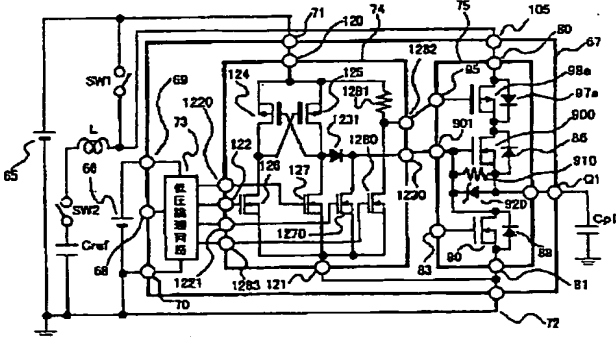
【図31】

図 31



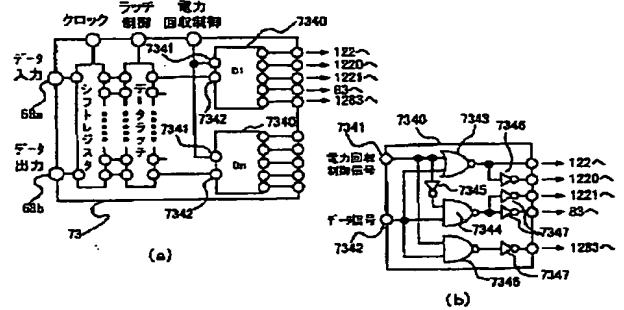
【図32】

図 32



【図33】

図 33



フロントページの続き

(72)発明者 井上 広一
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 佐野 勇司
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所新ディスプレイ事業推進
センタ内

(72)発明者 大平 浩史
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所新ディスプレイ事業推進
センタ内

(72)発明者 大沢 通孝
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所新ディスプレイ事業推進
センタ内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)